

Beschreibung

HALBLEITERSPEICHERELEMENTANORDNUNG

Die Erfindung betrifft ein Verfahren zum Herstellen einer Halbleiterspeicherelement-Anordnung, ein Verfahren zum Betreiben einer Halbleiterspeicherelement-Anordnung und eine Halbleiterspeicherelement-Anordnung.

Wesentliche Parameter einer Halbleiterspeicherelement-Anordnung sind die Haltezeit, für die der in den einzelnen Halbleiterspeicherelementen gespeicherte Speicherinhalt erhalten bleibt, die zum Einprogrammieren des Speicherinhalts erforderliche Schreibzeit und die zum Einprogrammieren des Speicherinhalts notwendigen Schreibspannungen.

Ein bekanntes Halbleiterspeicherelement ist das RAM-Speicherelement (RAM= Random Access Memory), welches zwar relativ schnelle Schreibzeiten von wenigen Nanosekunden, jedoch infolge unvermeidlicher Leckströme nur kurze Haltezeiten aufweist, so dass in regelmäßigen zeitlichen Abständen von etwa 100ms ein Wiederaufladen des RAM-Speicherelementes notwendig ist.

Demgegenüber ermöglicht das sogenannte EPROM-Speicherelement (EPROM= Electrically Programmable Read Only Memory) zwar relativ lange Haltezeiten von mehreren Jahren, jedoch sind die zum Einprogrammieren des Speicherinhalts notwendigen Schreibzeiten wesentlich größer als beim RAM-Speicherelement.

Es besteht daher ein Bedarf an Halbleiterspeicherelementen, bei denen schnelle Schreibzeiten (von etwa 10 Nanosekunden) mit langen Haltezeiten (von mehr als einem Jahr) und niedrigen Schreibspannungen kombiniert sind.

In [1] ist ein sogenanntes „crested barrier“-Speicherelement vorgeschlagen worden, bei dem das Be- bzw. Entladen eines Floating Gates über eine serielle Anordnung von (typischerweise drei) Tunnelbarrieren erfolgt, wobei die Tunnelbarrieren eine profilierte (= „crested“) Form besitzen. Hierbei sind die Tunnelbarrieren nicht wie üblich in Form eines Rechteckpotentials mit konstanter Höhe der Potentialbarriere ausgebildet, sondern mittels „Peaks“ oder „Zacken“ profiliert.

Da eine solche „profilierter“ Tunnelbarriere gegenüber einer herkömmlichen Tunnelbarriere eine größere Ladungstransmission sowie eine größere Sensitivität für die anliegende Spannung aufweist, lassen sich mit einem derartigen „crested barrier“-Halbleiterspeicherelement jedenfalls theoretisch relativ schnelle Schreibzeiten erreichen. Jedoch sind die zum Schreiben erforderlichen Schreibspannungen relativ groß, da zum Aufbau der „crested barrier“- Struktur Schichtstrukturen mit flächig verteilten, in relativ großem Abstand von ca. 3-5 nm zueinander angeordneten Nanokristallen benötigt werden, bei denen die Kopplung zwischen benachbarten Schichten relativ schwach ist.

Aus EP 0 908 954 A2 (= [2]) ist ein Vorschlag für ein sogenanntes PLED-Speicherelement (PLED= Planar Localized Electron Device) bekannt, welches zwei Wortleitungen sowie eine Source-, eine Drain- und eine Datenleitung in einer 5-terminalen Anordnung aufweist. Auf einem über einem Substrat

aufgebrachten Floating Gate ist eine Vielfach-Tunnelbarriere aufgewachsen. Das PLED-Speicherelement weist einen Schreibtransistor und einen Lesetransistor auf. Hierbei wird das Substrat des Schreibtransistors durch die Vielfach-Tunnelbarriere und das Gate des Schreibtransistors durch die zweite Wortleitung gebildet. Das Floating Gate selbst bildet das Gate des Lesetransistors. Bei diesem PLED-Speicherelement lassen sich kurze Schreibzeiten (ähnlichen denen eines RAM-Speicherelementes) und lange Haltezeiten (ähnlich denen eines ROM-Speicherelementes) erreichen. Zudem sind die erforderlichen Schreibspannungen wesentlich geringer als bei dem oben genannten „crested barrier“-Speicherelement.

Das Herstellungsverfahren eines solchen PLED-Speicherelements ist jedoch relativ aufwendig, wie im folgenden erläutert wird.

Bei dem bekannten Herstellungsverfahren des PLED-Speicherelements wird zunächst auf einem von einer Gate-Isolationsschicht bedeckten Substrat ein Floating Gate (Speicherknotten, memory node) selektiv ausgebildet, woraufhin dessen Seitenwände von einer isolierenden Schicht abgedeckt werden. Eine erste Gate-Elektrode wird dadurch ausgebildet, dass zunächst eine Polysilizium-Schicht ganzflächig aufgebracht wird. Dann wird Photoresist dort aufgebracht, wo die erste Gate-Elektrode ausgebildet werden soll, und ein anisotroper Ätzschritt wird durchgeführt. Da das anisotrope Ätzen nicht in horizontaler Richtung erfolgt, verbleibt das Polysilizium auch an der Seitenwand des Floating Gates, womit die erste Gate-Elektrode ausgebildet wird.

Anschließend wird auf der so erhaltenen Struktur eine Vielfach-Tunnelbarriere ausgebildet, und eine zweite Gate-

Elektrode wird benachbart zu der Vielfach-Tunnelbarriere und in entsprechender Weise wie die erste Gate-Elektrode durch ganzflächiges Aufbringen einer Polysilizium-Schicht, selektives Aufbringen eines Photoresist und anisotropes Ätzen der Polysilizium-Schicht ausgebildet.

Zur Vereinfachung des Herstellungsprozesses ist es aus [2] auch bekannt, die beiden Wortleitungen zu einer gemeinsamen Wortleitung zusammenzufassen. Im Betrieb des PLED-Speicherelements wird dann durch Anlegen einer elektrischen Spannung an die einzige Wortleitung ein Elektronentransport über die Vielfach-Tunnelbarriere hinweg ermöglicht, und das Floating Gate wird entsprechend aufgeladen. Der Leseprozess verläuft derart, dass ebenfalls eine Spannung an die Wortleitung angelegt wird, um zu testen, wie hoch die Einsatzspannung des Floating Gate Transistors ist. Die beim Leseprozess an die Wortleitung angelegte Spannung verringert jedoch die Sperreigenschaften der Vielfach-Tunnelbarriere, so dass das Floating Gate teilweise entladen wird. Infolgedessen wird die Ladung auf dem Floating Gate bei jedem Leseprozess etwas verringert, so dass der Leseprozess nicht mehr störungsfrei erfolgt.

In [3] ist ferner ein hochintegrierter Flash-Speicher beschrieben, wobei jede Speicherzelle vier Vertikal-Floating-Gate-Transistoren enthält. Zwei zueinander orthogonale Gate-Leitungen ermöglichen die Adressierung der Steuer-Gates. Erste Source-/Drain-Anschlüsse sind mittels Verbindungsleitungen, welche parallel zu den ersten Gate-Leitungen angeordnet sind, zeilenweise adressierbar. Zweite Source-/Drain-Anschlüsse sind mittels Verbindungsleitungen, welche parallel zu den zweiten Gate-Leitungen angeordnet sind, zeilenweise adressierbar.

In [4] ist ein hochintegrierter Halbleiterspeicher mit einer säulenförmig ausgebildeten EPROM-Zelle mit einem Floating Gate und einem Control Gate beschrieben. Die EPROM-Zelle ist vollständig verarmt. Das Control Gate der EPROM-Zelle besteht aus p⁺-dotiertem Halbleitermaterial.

[5] beschreibt einen Vertikal-Floating-Gate-Transistor mit einer Vielzahl von Tunnelbarrieren.

Weiterhin ist in [6] eine Speichereinrichtung beschrieben mit einem Speicherknoten, in den Ladung durch eine Tunnelbarrieren-Anordnung geschrieben wird. Die gespeicherte Ladung beeinflusst die Leitfähigkeit des Source-/Drain-Pfades. Die Tunnelbarrieren-Anordnung weist eine Vielzahl von Tunnelbarrieren auf, wobei die Tunnelbarrieren-Anordnung abwechselnd eine 3 nm dicke Polysilizium-Schicht und eine 1 nm dicke Siliziumnitrid-Schicht aufweist.

Somit liegt der Erfindung das Problem zugrunde, ein Verfahren zum Herstellen einer Halbleiterspeicherelement-Anordnung, ein Verfahren zum Betreiben einer Halbleiterspeicherelement-Anordnung und eine Halbleiterspeicherelement-Anordnung zu schaffen, welche bei Gewährleistung eines störungsfreien Betriebes eine einfachere Herstellung ermöglichen.

Das Problem wird durch das Verfahren zum Herstellen einer Halbleiterspeicherelement-Anordnung, das Verfahren zum Betreiben einer Halbleiterspeicherelement-Anordnung und die Halbleiterspeicherelement-Anordnung gemäß den unabhängigen Patentansprüchen gelöst.

Bei einem Verfahren zum Herstellen einer Halbleiterspeicherelement-Anordnung wird eine erste elektrisch isolierende Schicht auf einem Substrat aufgebracht.

Auf der ersten elektrisch isolierenden Schicht wird ein Schichtsystem aus einem Floating Gate und einer auf dem Floating Gate aufgebrachten Tunnelbarrieren-Anordnung aufgebracht.

Benachbart zum Floating Gate wird eine erste Gate-Elektrode ausgebildet, über die dem Floating Gate elektrische Ladung zuführbar bzw. von diesem abführbar ist.

Benachbart zur Tunnelbarrieren-Anordnung wird eine zweite Gate-Elektrode ausgebildet, über welche die elektrische Ladungstransmission der Tunnelbarrieren-Anordnung steuerbar ist.

Die erste und die zweite Gate-Elektrode werden in einer in dem Schichtsystem ausgebildeten ersten Grabenstruktur aus parallel zueinander angeordneten, sich bis zur ersten isolierenden Schicht erstreckenden ersten Gräben und einer in dem Schichtsystem ausgebildeten zweiten Grabenstruktur aus parallel zueinander und senkrecht zu den ersten Gräben angeordneten, sich bis zur ersten isolierenden Schicht erstreckenden zweiten Gräben ausgebildet.

Dadurch, dass zunächst das Floating Gate ebenso wie die Tunnelbarrieren-Anordnung auf dem Substrat schichtweise aufgebracht werden, dann in dieser Schichtabfolge eine erste und zweite Grabenstruktur ausgebildet wird und erst dann die erste und zweite Gate-Elektrode benachbart zu der

Tunnelbarrieren-Anordnung bzw. benachbart zu dem Floating Gate in diesen Grabenstrukturen ausgebildet werden, wird das erfindungsgemäße Herstellungsverfahren gegenüber dem bekannten Verfahren erheblich vereinfacht. Die beiden Gate-Elektroden werden hierbei selbstjustierend als Spacer ausgebildet.

Bei der so hergestellten Halbleiterelementanordnung erfolgt das Schreiben bzw. Löschen von Daten durch Anlegen einer positiven elektrischen Spannung an die zweite Gate-Elektrode und Anlegen einer negativen bzw. positiven elektrischen Spannung an die Datenleitung. Die an der zweiten Gate-Elektrode anliegende positive Spannung erhöht während des Schreib- bzw. Löschprozesses die elektrische Ladungstransmission der Tunnelbarrieren-Anordnung und ermöglicht die Zu- bzw. Abfuhr elektrischer Ladung zu bzw. von dem Floating Gate und damit ein Invertieren des zwischen Source- und Drain-Bereich im Substrat befindlichen Kanals.

Der Leseprozess erfolgt durch Anlegen einer positiven Spannung an die erste Gate-Elektrode, um die Einsatzspannung des durch das Floating Gate und den Source- bzw. Drain-Anschluss gebildeten Lesetransistors zu testen. Beim Lesen wird also bei zwischen Source- und Drain-Bereich anliegender elektrischer Spannung je nach invertiertem oder nicht-invertiertem Zustand des Kanals ein Stromfluss im Kanal nachgewiesen oder nicht.

Dadurch, dass zum Lesen nur die erste Gate-Elektrode und zum Schreiben nur die zweite Gate-Elektrode verwendet werden, wird eine Verringerung der auf dem Floating Gate befindlichen elektrischen Ladung über die Vielfach-Tunnelbarriere während

des Leseprozesses verhindert, so dass das Lesen störungsfrei erfolgen kann.

Bei der mittels des erfindungsgemäßen Verfahrens hergestellten Halbleiterspeicherelement-Anordnung lassen sich zudem besonders hohe Speicherdichten von $4 \cdot f^2$ (f = „minimum feature size“ = minimale Strukturgröße) realisieren, so dass eine hochdichte Anordnung von Speicherzellen erreicht wird.

Gemäß einer bevorzugten Ausführungsform wird zur Ausbildung der ersten und zweiten Grabenstruktur eine zweite elektrisch isolierende Schicht auf der Tunnelbarrieren-Anordnung aufgebracht und entsprechend der ersten und zweiten Grabenstruktur strukturiert.

Das Strukturieren der auf der Tunnelbarrieren-Anordnung aufgetragenen zweiten elektrisch isolierenden Schicht weist bevorzugt folgende Schritte auf:

- Durchführen eines ersten Photolithographie-Schrittes unter Verwendung einer ersten Photomaske, welche ein Muster aus parallelen streifenförmigen Öffnungen aufweist, deren Breite der minimalen Strukturgröße entspricht; und
- Durchführen eines zweiten Photolithographie-Schrittes unter Verwendung einer zweiten Photomaske, welche ein Muster aus parallelen, zu den streifenförmigen Öffnungen der ersten Photomaske senkrecht angeordneten streifenförmigen Öffnungen aufweist, deren Breite der minimalen Strukturgröße entspricht.

Nach dem ersten Photolithographie-Schritt und vor dem zweiten Photolithographie-Schritt werden bevorzugt in den ersten

Gräben Spacer auf der zweiten elektrisch isolierenden Schicht ausgebildet.

Die ersten Gräben weisen bevorzugt eine geringere Breite als die zweiten Gräben auf.

Die erste und die zweite Gate-Elektrode werden bevorzugt in den zweiten Gräben der zweiten Grabenstruktur als Spacer ausgebildet.

Gemäß einer bevorzugten Ausführungsform weist der Schritt des Ausbildens der ersten Gate-Elektrode in der ersten und zweiten Grabenstruktur die folgenden Schritte auf:

- Aufbringen einer dritten elektrisch isolierenden Schicht auf den Seitenwänden der ersten und zweiten Grabenstruktur;
- Aufbringen einer ersten Polysiliziumschicht auf der dritten elektrisch isolierenden Schicht unter Auffüllung der Breite der ersten Gräben und Ausbildung von ersten Polysilizium-Spacern in den zweiten Gräben zur Ausbildung der ersten Gate-Elektrode.

Gemäß einer bevorzugten Ausführungsform weist der Schritt des Ausbildens der zweiten Gate-Elektrode in der ersten und zweiten Grabenstruktur die folgenden Schritte auf:

- Aufbringen einer vierten elektrisch isolierenden Schicht auf der ersten Polysiliziumschicht;
- Aufbringen einer zweiten Polysiliziumschicht auf der dritten und vierten elektrisch isolierenden Schicht unter Auffüllung der Breite der ersten Gräben und Ausbildung von zweiten Polysilizium-Spacern in den zweiten Gräben zur Ausbildung der zweiten Gate-Elektrode.

Die erste, zweite, dritte und vierte isolierende Schicht können beispielsweise aus Siliziumnitrid oder Siliziumdioxid gebildet werden.

Die erste und die zweite Gate-Elektrode werden bevorzugt aus Polysilizium gebildet.

Die Tunnelbarrieren-Anordnung wird bevorzugt als Schichtstapel mit einer abwechselnden Schichtfolge von halbleitenden und isolierenden Schichten zur Ausbildung einer Vielfach-Tunnelbarriere ausgebildet.

Die halbleitenden Schichten des Schichtstapels werden bevorzugt aus undotiertem Polysilizium gebildet, wohingegen die isolierenden Schichten des Schichtstapels bevorzugt aus Siliziumnitrid oder Siliziumdioxid gebildet werden.

Gemäß einer bevorzugten Ausführungsform werden die halbleitenden Schichten des Schichtstapels mit einer Dicke im Bereich von 30 bis 50 nm und die isolierenden Schichten mit einer Dicke im Bereich von 2 bis 4 nm ausgebildet.

Gemäß einer bevorzugten Ausführungsform werden die halbleitenden Schichten des Schichtstapels mit einer Dicke sowie einer Korngröße von maximal 2 nm und die isolierenden Schichten mit einer Dicke von maximal 1,5 nm ausgebildet. Die leitenden Schichten bilden in diesem Falle sehr dünne Lagen von feinkörnigen Kristallen (z.B. Polysilizium-Kristallen). Eine derartige dünne Schicht von polykristallinem Silizium kann als zweidimensionales Gitter von leitenden Inseln angesehen werden, die durch sehr kleine Kapazitäten miteinander verbunden sind.

Hierbei sind die Abstände zwischen den Nanokristallen aus Polysilizium gut kontrollierbar. Damit wird eine Coulomb-Blockade gezielt einsetzbar, so dass die Schreibzeit der Speicherzelle weiter verkürzt wird. Die vertikale Trennung von mehreren solcher Schichten durch isolierende Schichten, z.B. aus Siliziumdioxid, führt in vertikaler Richtung zu einem regelmäßigen Gitter von leitenden Inseln, die durch gut einstellbare elektrische Widerstände miteinander verbunden sind.

Alternativ können die halbleitenden Schichten auch aus amorphem Silizium gebildet werden.

Bei einem Verfahren zum Betreiben einer Halbleiterspeicherelement-Anordnung mit einer auf einem Substrat aufgetragenen ersten isolierenden Schicht und einem auf der ersten isolierenden Schicht aufgetragenen Schichtsystem aus einem Floating Gate und einer auf dem Floating Gate aufgetragenen Tunnelbarrieren-Anordnung wird die elektrische Ladungstransmission der Tunnelbarrieren-Anordnung zu dem Floating Gate über eine zweite Gate-Elektrode gesteuert, wobei die erste und die zweite Gate-Elektrode in einer in dem Schichtsystem ausgebildeten ersten Grabenstruktur aus parallel zueinander angeordneten, sich bis zur ersten isolierenden Schicht erstreckenden ersten Gräben und einer in dem Schichtsystem ausgebildeten zweiten Grabenstruktur aus parallel zueinander und senkrecht zu den ersten Gräben angeordneten, sich bis zur ersten isolierenden Schicht erstreckenden zweiten Gräben ausgebildet sind.

Zum Lesen von Daten der Halbleiterspeicherelement-Anordnung wird bevorzugt eine elektrische Spannung an die erste Gate-Elektrode bei spannungsloser zweiter Gate-Elektrode angelegt.

Zum Schreiben oder Löschen von Daten der Halbleiterspeicherelement-Anordnung wird bevorzugt eine elektrische Spannung an die zweite Gate-Elektrode bei spannungsloser erster Gate-Elektrode angelegt.

In einer Halbleiterspeicherelement-Anordnung, bei der eine Mehrzahl von Halbleiterspeicherelementen in einer Mehrzahl von Zeilen und Spalten matrixartig angeordnet sind, weist jedes Halbleiterspeicherelement auf

- eine auf einem Substrat aufgebrachte erste elektrisch isolierende Schicht,
- ein auf der ersten elektrisch isolierenden Schicht aufgebrachtes Schichtsystem aus einem Floating Gate und einer auf dem Floating Gate aufgebrachten Tunnelbarrieren-Anordnung;
- eine zum Floating Gate benachbarte erste Gate-Elektrode, die zum Lesen des Zustands des Floating Gate Transistors dient;
- und eine zur Tunnelbarrieren-Anordnung benachbarte zweite Gate-Elektrode, über welche die Ladungstransmission der Tunnelbarrieren-Anordnung steuerbar ist;

wobei die erste und die zweite Gate-Elektrode in einer in dem Schichtsystem ausgebildeten ersten Grabenstruktur aus parallel zueinander angeordneten, sich bis zur ersten isolierenden Schicht erstreckenden ersten Gräben und einer in dem Schichtsystem ausgebildeten zweiten Grabenstruktur aus parallel zueinander und senkrecht zu den ersten Gräben

angeordneten, sich bis zur ersten isolierenden Schicht erstreckenden zweiten Gräben ausgebildet sind.

Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im weiteren näher erläutert.

Es zeigen:

Figuren 1a - 1g Querschnitte einer Halbleiterspeicher-
element-Anordnung gemäß einem
Ausführungsbeispiel der Erfindung zu
verschiedenen Zuständen während deren
Herstellung;

Figuren 2a - 2g Querschnitte der Halbleiterspeicher-
element-Anordnung aus Figur 1 zu
entsprechenden Zuständen während deren
Herstellung in gegenüber Figur 1 senkrechter
Schnittrichtung;

Figuren 3a - 3c schematische Darstellungen der bei der
Herstellung der Halbleiterspeicherelement-
Anordnung gemäß Figur 1 und 2 verwendeten
Photomasken;

Figur 4 eine schematische Darstellung einer
erfindungsgemäßen Halbleiterspeicherelement-
Anordnung in Draufsicht; und

Figur 5 ein Programmierbeispiel der
Halbleiterspeicherelement-Anordnung aus Figur
4.

Anhand von Fig.1a-g und Fig.2a-g wird zunächst das erfindungsgemäße Verfahren zur Herstellung einer Halbleiterspeicherelement-Anordnung gemäß einem bevorzugten Ausführungsbeispiel erläutert, wobei die in Fig.1a-g bzw. Fig.2a-g dargestellten Querschnittansichten jeweils für zueinander senkrechten Schnittebenen dargestellt sind.

Gemäß Fig.1a wird zunächst auf einem Substrat ein Schichtsystem aus einem Floating Gate und einer auf dem Floating Gate aufgebrachtten Tunnelbarrieren-Anordnung ausgebildet.

Hierzu wird in einem ersten Schritt ein Siliziumsubstrat 101 mittels einer Implantationsmaske abgedeckt, woraufhin eine Arsen-Implantation mit einer Dosis von etwa 10^{16} cm^{-3} zur Ausbildung von Source- bzw.- Drain-Bereichen 102, 103 in dem Siliziumsubstrat 101 durchgeführt wird. Die hierbei verwendete Implantationsmaske 203 ist in Fig.3c schematisch dargestellt und weist ein Muster aus parallel zueinander angeordneten, streifenförmigen Öffnungen 203a, ..., 203n auf, deren Abstand dem gewünschten Abstand der Source- bzw. Drain-Bereiche 102, 103 entspricht.

Anschließend wird auf dem Siliziumsubstrat eine elektrisch isolierende Schicht 104 aus Siliziumdioxid der Dicke von etwa 6 - 10 nm aufgewachsen. Zum Aufwachsen der Schicht 104 wird ebenso wie zum Aufwachsen der nachfolgenden Schichten das Verfahren der Gasphasenabscheidung (CVD= chemical vapour deposition) angewandt.

Auf der Schicht 104 wird eine etwa 50 nm dicke Schicht 105 aus Polysilizium aufgewachsen. Die Schicht 105 dient zur

Ausbildung eines Floating Gates der Halbleiterspeicherelement-Anordnung 100.

Auf der Schicht 105 werden in abwechselnder Schichtfolge elektrisch isolierende Barrierschichten 106, 108 und 110 aus Siliziumnitrid (Si_3N_4) und halbleitende Schichten 107, 109 und 111 aus Polysilizium aufgewachsen. Der aus den elektrisch isolierenden bzw. halbleitenden Schichten 106 - 110 gebildete Schichtstapel dient zur Ausbildung einer Vielfach-Tunnelbarriere der Halbleiterspeicherelement-Anordnung 100.

In dem dargestellten Ausführungsbeispiel weisen die Polysiliziumschichten 107 und 109 eine Dicke von etwa 40 nm, die Polysiliziumschicht 111 eine Dicke von etwa 50 nm, und die Barrierschichten 106, 108 und 110 eine Dicke von etwa 2 nm auf.

In einem nächsten Schritt wird gemäß Fig.1b bzw. Fig.2b auf der Polysiliziumschicht 111 eine zweite elektrisch isolierende Schicht 112 aus Siliziumnitrid aufgebracht.

In die zweite elektrisch isolierende Schicht 112 werden in einem ersten Photolithographie-Schritt unter Verwendung einer ersten, in Fig.3a schematisch dargestellten Photomaske 201 parallel zueinander angeordnete Gräben mit einer Breite von etwa 150 nm geätzt. Die Photomaske 201 weist eine Vielzahl von parallel zueinander angeordneten, streifenförmigen Öffnungen 201a, ..., 201n auf, deren Abstand der minimalen Strukturgröße (z.B. 150 nm) entspricht.

Unter Verwendung der Photomaske 201 wird das Siliziumnitrid trocken geätzt.

Nach Entfernung des Photolacks wird wiederum Siliziumnitrid auf die freigelegten Bereiche der Polysiliziumschicht 111 aufgebracht, woraufhin gemäß Fig.1b eine Spacer-Ätzung zur Ausbildung von Siliziumnitrid-Spacern 113 durchgeführt wird. Hierdurch werden erste Gräben 114 mit einer Breite von etwa 50 nm ausgebildet.

Anschließend wird, wie aus Fig.2b ersichtlich, unter Verwendung einer zweiten, in Fig.3b schematisch dargestellten Photomaske 202, ein zweiter Photolithographie-Schritt durchgeführt.

Die Photomaske 202 weist wie die Photomaske 201 eine Vielzahl von parallel zueinander angeordneten, streifenförmigen Öffnungen 202a,...,202n auf, deren Abstand der minimalen Strukturgröße (z.B. 150 nm) entspricht. Die zweite Photomaske wird senkrecht zu der ersten Photomaske positioniert. Nun wird das Siliziumnitrid trocken geätzt, so dass gemäß Fig.2b senkrecht zu den in Fig.1b dargestellten ersten Gräben 114 zweite Gräben 115 mit einer Breite von etwa 150 nm ausgebildet werden. Anschließend wird der Photolack entfernt.

In einem nächsten Schritt werden gemäß Fig.1c bzw. Fig.2c die nicht von Siliziumnitrid bedeckten Bereiche der Schichtstruktur aus Polysiliziumschicht 111, Vielfach-Tunnelbarriere 106-110 und Floating Gate 105 geätzt, so dass eine erste Grabenstruktur 116 mit zueinander parallelen Gräben 117, vgl. Fig.1c, und eine zweite Grabenstruktur 118 mit parallel zueinander und senkrecht zu den ersten Gräben 117 angeordneten zweiten Gräben 119, vgl. Fig.2c, ausgebildet werden. Die ersten und zweiten Gräben 117, 119 erstrecken sich jeweils parallel zu der Stapelrichtung des

Schichtstapels 106-110 bis zu der elektrisch isolierenden Siliziumdioxidschicht 104.

Anschließend wird auf den Seitenwänden der ersten bzw. zweiten Grabenstruktur 116, 118 eine dritte elektrisch isolierende Schicht 120 aus Siliziumdioxid aufgebracht. Auf der dritten elektrisch isolierenden Schicht 120 wird eine Polysiliziumschicht 121 aufgebracht. Die Polysiliziumschicht 121 weist eine Schichtdicke von etwa 50 nm auf, so dass in der zweiten Grabenstruktur 118 Polysilizium-Spacer 122 ausgebildet werden.

Die Polysiliziumschicht 121 bzw. die Polysilizium-Spacer 122 dienen zur Ausbildung der ersten Gate-Elektrode, welche zum Lesen des Zustands des Floating Gate Transistors dient, d.h. zum Ermitteln der in dem Floating Gate gespeicherten elektrischen Ladungsträger.

Nach einem Rückätzen der Polysilizium-Schicht 121 bzw. der Polysilizium-Spacer 122 wird in einem nächsten Schritt gemäß Fig.1d bzw. Fig.2d eine vierte elektrisch isolierende Schicht 123 aus Siliziumdioxid aufgebracht und anschließend rückgeätzt, wobei gemäß Fig.2d die Bereiche zwischen den Polysilizium-Spacern 122 vollständig mit Siliziumdioxid aufgefüllt werden und die Polysilizium-Schicht 121 und der Polysilizium-Spacer 122 noch von der vierten elektrisch isolierenden Schicht 123 aus Siliziumdioxid bedeckt bleiben.

Auf die isolierende Schicht 123 aus Siliziumdioxid wird gemäß Fig.1e bzw. Fig.2e wiederum eine Polysiliziumschicht 124 aufgebracht. Die Polysiliziumschicht 124 weist wie die Polysiliziumschicht 121 eine Schichtdicke von etwa 50 nm auf, so dass in der zweiten Grabenstruktur 118 Polysilizium-Spacer

125 ausgebildet werden. Die Höhe der Polysiliziumschicht 124 und der Polysilizium-Spacer 125 bilden eine zumindest teilweise seitliche Überlappung mit der Polysiliziumschicht 111.

Die Polysiliziumschicht 124 bzw. die Polysilizium-Spacer 125 dienen zur Ausbildung der zweiten Gate-Elektrode, wobei durch Anlegen einer elektrischen Spannung an die zweite Gate-Elektrode die elektrische Ladungstransmission der Vielfach-Tunnelbarriere steuerbar ist.

Gemäß der Darstellung in Fig.1e bzw. Fig.2e ragt die Höhe des Floating Gates 105 etwas über den Bereich der isolierenden Schicht 123 hinaus, so dass das Floating Gate 105 einerseits und die Polysiliziumschicht 124 bzw. die Polysilizium-Spacer 125 andererseits zur Ausbildung der zweiten Gate-Elektrode in vertikaler Richtung miteinander überlappen. Es ist jedoch bei der Herstellung bzw. bei der Wahl der einzelnen Schichtdicken darauf zu achten, dass dieser überlappende Bereich möglichst gering ist, um eine störende Wechselwirkung der zweiten Gate-Elektrode mit dem Floating Gate 105 beim Schreiben bzw. Löschen von Daten in der Halbleiterspeicherelement-Anordnung 100 zu verhindern.

In einem nächsten Schritt werden die Schichten 112, 113 aus Siliziumnitrid vollständig weggeätzt, woraufhin gemäß Fig.1f bzw. Fig.2f eine fünfte elektrisch isolierende Schicht 126 aus Siliziumdioxid zunächst abgeschieden und anschließend mittels CMP (= chemical mechanical polishing) geglättet wird. In die Schicht 126 wird mittels Photolithographie ein Graben (Trench) geätzt. Nach Abscheidung einer Wolfram-Schicht 127 wird die Datenleitung 127 unter Einsatz von chemisch mechanischen Polierens (CMP) strukturiert. Die

Halbleiterspeicherelement-Anordnung 100 ist damit fertiggestellt.

In Fig.4 ist eine nach dem oben beschriebenen Verfahren hergestellte Halbleiterspeicherelement-Anordnung 300 in Draufsicht schematisch dargestellt.

Die Halbleiterspeicherelement-Anordnung 300 weist insgesamt sechzehn matrixartig angeordnete Halbleiterspeicherelemente F_{11} , F_{12} , ..., F_{44} auf. Jedes Halbleiterspeicherelement F_{11} , F_{12} , ..., F_{44} weist wie oben beschrieben ein Floating Gate auf, auf dem jeweils eine Vielfach-Tunnelbarriere aufgebracht ist.

Zwischen den Halbleiterspeicherelementen F_{11} , F_{12} , ..., F_{44} erstreckt sich in vertikaler Richtung eine erste Grabenstruktur 301 und in horizontaler Richtung eine zweite Grabenstruktur 302. In den in Fig.4 schraffiert dargestellten Bereichen 304 sind die erste bzw. zweite Gate-Elektrode ausgebildet.

Die erste bzw. zweite Gate-Elektrode erstrecken sich gemäß Fig.4 senkrecht zur Zeichenebene in den ersten bzw. zweiten Grabenstrukturen 301, 302, wobei die ersten Gate-Elektroden benachbart zu den Floating Gates und die zweiten Gate-Elektroden benachbart zu den Vielfach-Tunnelbarrieren der Halbleiterspeicherelemente F_{11} , F_{12} , ..., F_{44} ausgebildet sind..

Wie oben beschrieben kann somit durch Anlegen einer elektrischen Spannung an die erste Gate-Elektrode dem der

Inhalt jeder Speicherzelle gelesen werden. Durch Anlegen einer elektrischen Spannung an die zweite Gate-Elektrode kann die elektrische Ladungstransmission der Vielfach-Tunnelbarriere jeder Speicherzelle gesteuert werden.

Die Richtung der Source- bzw. Drain-Bereiche sowie der Datenleitung ist durch den Pfeil 303 dargestellt.

Wie aus Fig.4 sowie dem in Fig.1 und Fig.2 dargestellten Herstellungsprozess ersichtlich ist, weisen die erste und die zweite Grabenstruktur 301, 302 eine unterschiedliche Breite auf. Während in der ersten Grabenstruktur 301 die gesamte Breite der ausgebildeten Gräben von Polysilizium zur Ausbildung der ersten bzw. zweiten Gate-Elektrode ausgefüllt wird, werden in der zweiten Grabenstruktur 302 die erste bzw. zweite Gate-Elektrode als Spacer ausgebildet. In der zweiten Grabenstruktur sind somit jeweils zwei erste bzw. zweite Gate-Elektroden ausgebildet, die durch eine elektrisch isolierende, zwischen den jeweiligen Spacern verlaufende Schicht voneinander getrennt sind.

Wie in Fig.4 am Beispiel des Halbleiterspeicherelementes F_{23} gezeigt ist, besitzt hierbei jedes der Halbleiterspeicherelemente F_{11} , ..., F_{44} eine Fläche von $(2f) * (2f) = 4 * f^2$, wobei „f“ die sogenannte minimale Strukturgröße („minimal feature size“) darstellt. Die Halbleiterspeicherelement-Anordnung 300 bildet somit eine hochdichte Rasterstruktur. Die Anordnung der einzelnen Speicherzellen entspricht hierbei einem sogenannten „virtual ground Array“.

Ein Programmierbeispiel der Halbleiterspeicherelement-Anordnung 300 aus Fig.4 wird anhand von Fig.5 erläutert.

Demnach erfolgt gemäß dem dargestellten Ausführungsbeispiel ein Schreiben von Daten in der Halbleiterspeicherelement-Anordnung 300 durch Anlegen einer positiven Spannung von +3 Volt an die zweite Gate-Elektrode und Anlegen einer negativen Spannung von -3 Volt an die Datenleitung 210. Das Löschen von Daten erfolgt entsprechend durch Anlegen einer positiven Spannung von +3 Volt an die zweite Gate-Elektrode und Anlegen einer positiven Spannung von +3 Volt an die Datenleitung.

Die an der zweiten Gate-Elektrode anliegende Spannung von +3 Volt erhöht beim Schreib- bzw. Löschprozess die elektrische Ladungstransmission der Vielfach-Tunnelbarriere und ermöglicht die Zu- bzw. Abfuhr elektrischer Ladung zu bzw. von dem Floating Gate 105 und damit ein Invertieren des zwischen den Source- und Drain-Bereichen befindlichen Kanals.

Gemäß dem dargestellten Ausführungsbeispiel erfolgt das Lesen von Daten in der Halbleiterspeicherelement-Anordnung 300 durch Anlegen einer positiven Spannung von +3 Volt an die erste Gate-Elektrode und Anlegen einer geringeren positiven Spannung von beispielsweise +2 Volt an alle Drain-Leitungen, während alle Source-Leitungen auf 0 Volt gesetzt werden.

Das Schreiben von Daten in der Halbleiterspeicherelement-Anordnung 300 entspricht dem Setzen einer logischen „1“ und das Löschen dem Setzen einer logischen „0“. Das Setzen dieser logischen Werte erfolgt immer auf der gesamten angesprochenen Wortleitung mit Hilfe der entsprechenden Daten-Leitungen.

Beim Lesen wird an die erste Gate-Elektrode eine Spannung von

+3 Volt angelegt und bei Anlegen einer geringen Spannung von + 2 Volt an die Drain-Leitung wird somit je nach invertiertem oder nicht-invertiertem Zustand des Kanals ein Stromfluss im Kanal nachgewiesen (entsprechend einem Bit „1“) oder nicht (entsprechend einem Bit „0“).

Dadurch, dass zum Lesen von Daten aus der erfindungsgemäßen Halbleiterspeicherelement-Anordnung nur die erste Gate-Elektrode und zum Schreiben von Daten nur die zweite Gate-Elektrode verwendet wird, wird eine Verringerung der auf dem Floating Gate befindlichen elektrischen Ladung über die Vielfach-Tunnelbarriere während des Leseprozesses verhindert, so dass der Leseprozess störungsfrei erfolgen kann:

In diesem Dokument sind die folgenden Veröffentlichungen zitiert:

- [1] K.K. Likharev, „Layered tunnel barriers for non-volatile memory devices, Applied Physics Letters Vol. 73, Seiten 2137-2139.
- [2] EP 0 908 954 A2 ("Semiconductor memory device and manufacturing method thereof"; Anm.: Hitachi Ltd.)
- [3] US 5,973,356
- [4] DE 196 00 307 C1
- [5] US 6,211,531 B1
- [6] US 5,952,692 A

Bezugszeichenliste

100	Halbleiterspeicherelement-Anordnung
101	Siliziumsubstrat
102	Source-Bereich
103	Drain-Bereich
104	erste elektrisch isolierende Schicht
105	Floating Gate
106	Barriereschicht
107	Polysiliziumschicht
108	Barriereschicht
109	Polysiliziumschicht
110	Barriereschicht
111	Polysiliziumschicht
112	zweite elektrisch isolierende Schicht
113	Spacer
114	erste Gräben
115	zweite Gräben
116	erste Grabenstruktur
117	erste Gräben
118	zweite Grabenstruktur
119	zweite Gräben
120	dritte elektrisch isolierende Schicht
121	Polysiliziumschicht
122	Polysiliziumspacer
123	vierte elektrisch isolierende Schicht
124	Polysiliziumschicht
125	Polysilizium-Spacer
126	fünfte elektrisch isolierende Schicht
127	Wolfram-Schicht
201	Photomaske
202	Photomaske

- 203 Photomaske
- 300 Halbleiterspeicherelement-Anordnung
- 301 erste Grabenstruktur
- 302 zweite Grabenstruktur
- 303 Pfeil
- 304 Gate-Elektrode

Patentansprüche

1. Verfahren zum Herstellen einer Halbleiterspeicherelement-Anordnung, welches die folgenden Schritte aufweist:
 - Aufbringen einer ersten elektrisch isolierenden Schicht auf einem Substrat;
 - Aufbringen eines Schichtsystems aus einem Floating Gate und einer auf dem Floating Gate aufgebrachten Tunnelbarrieren-Anordnung auf der ersten isolierenden Schicht;
 - Ausbilden einer zum Floating Gate benachbarten ersten Gate-Elektrode, über die dem Floating Gate elektrische Ladung zuführbar bzw. von diesem abführbar ist, und einer zur Tunnelbarrieren-Anordnung benachbarten zweiten Gate-Elektrode, über welche die elektrische Ladungstransmission der Tunnelbarrieren-Anordnung steuerbar ist;
 - wobei die erste und die zweite Gate-Elektrode in einer in dem Schichtsystem ausgebildeten ersten Grabenstruktur aus parallel zueinander angeordneten, sich bis zur ersten isolierenden Schicht erstreckenden ersten Gräben und einer in dem Schichtsystem ausgebildeten zweiten Grabenstruktur aus parallel zueinander und senkrecht zu den ersten Gräben angeordneten, sich bis zur ersten isolierenden Schicht erstreckenden zweiten Gräben ausgebildet werden.
2. Verfahren nach Anspruch 1, wobei zur Ausbildung der ersten und zweiten Grabenstruktur eine zweite elektrisch isolierende Schicht auf der Tunnelbarrieren-

Anordnung aufgebracht und entsprechend der ersten und zweiten Grabenstruktur strukturiert wird.

3. Verfahren nach Anspruch 2, wobei das Strukturieren der auf der Tunnelbarrieren-Anordnung aufgetragenen zweiten elektrisch isolierenden Schicht folgende Schritte aufweist:

- Durchführen eines ersten Photolithographie-Schrittes unter Verwendung einer ersten Photomaske, welche ein Muster aus parallelen streifenförmigen Öffnungen aufweist, deren Breite der minimalen Strukturgröße entspricht; und
- Durchführen eines zweiten Photolithographie-Schrittes unter Verwendung einer zweiten Photomaske, welche ein Muster aus parallelen, zu den streifenförmigen Öffnungen der ersten Photomaske senkrecht angeordneten streifenförmigen Öffnungen aufweist, deren Breite der minimalen Strukturgröße entspricht.

4. Verfahren nach Anspruch 3, wobei nach dem ersten Photolithographie-Schritt und vor dem zweiten Photolithographie-Schritt in den ersten Gräben Spacer auf der zweiten isolierenden Schicht ausgebildet werden.

5. Verfahren nach einem der vorhergehenden Ansprüche, wobei die ersten Gräben eine geringere Breite als die zweiten Gräben aufweisen.

6. Verfahren nach einem der vorhergehenden Ansprüche, wobei die erste und die zweite Gate-Elektrode in den

zweiten Gräben der zweiten Grabenstruktur als Spacer ausgebildet werden.

7. Verfahren nach einem der vorhergehenden Ansprüche, wobei der Schritt des Ausbildens der ersten Gate-Elektrode in der ersten und zweiten Grabenstruktur die folgenden Schritte aufweist:

- Aufbringen einer dritten elektrisch isolierenden Schicht auf den Seitenwänden der ersten und zweiten Grabenstruktur;
- Aufbringen einer ersten Polysiliziumschicht auf der dritten elektrisch isolierenden Schicht unter Auffüllung der Breite der ersten Gräben und Ausbildung von ersten Polysilizium-Spacern in den zweiten Gräben zur Ausbildung der ersten Gate-Elektrode.

8. Verfahren nach einem der vorhergehenden Ansprüche, wobei der Schritt des Ausbildens der zweiten Gate-Elektrode in der ersten und zweiten Grabenstruktur die folgenden Schritte aufweist:

- Aufbringen einer vierten elektrisch isolierenden Schicht auf der ersten Polysiliziumschicht;
- Aufbringen einer zweiten Polysiliziumschicht auf der dritten und vierten elektrisch isolierenden Schicht unter Auffüllung der Breite der ersten Gräben und Ausbildung von zweiten Polysilizium-Spacern in den zweiten Gräben zur Ausbildung der zweiten Gate-Elektrode.

9. Verfahren nach einem der vorhergehenden Ansprüche, wobei die erste, zweite, dritte und vierte elektrisch

isolierende Schicht aus Siliziumnitrid oder Siliziumdioxid gebildet werden.

10. Verfahren nach einem der vorhergehenden Ansprüche, wobei die erste und die zweite Gate-Elektrode aus Polysilizium gebildet werden.
11. Verfahren nach einem der vorhergehenden Ansprüche, wobei die Tunnelbarrieren-Anordnung als Schichtstapel mit einer abwechselnden Schichtfolge von halbleitenden und isolierenden Schichten zur Ausbildung einer Vielfach-Tunnelbarriere ausgebildet wird.
12. Verfahren nach Anspruch 11, wobei die halbleitenden Schichten des Schichtstapels aus undotiertem Polysilizium gebildet werden.
13. Verfahren nach Anspruch 11 oder 12, wobei die isolierenden Schichten des Schichtstapels aus Siliziumnitrid oder Siliziumdioxid gebildet werden.
14. Verfahren nach einem der Ansprüche 11 bis 13, wobei die halbleitenden Schichten des Schichtstapels mit einer Dicke im Bereich von 30 bis 50 nm und die isolierenden Schichten mit einer Dicke im Bereich von 2 bis 4 nm ausgebildet werden.
15. Verfahren nach einem der Ansprüche 11 bis 13, wobei die halbleitenden Schichten des Schichtstapels mit einer Dicke sowie einer Korngröße von maximal 2 nm und die isolierenden Schichten mit einer Dicke von maximal 1,5 nm ausgebildet werden.

16. Verfahren zum Betreiben einer

Halbleiterspeicherelement-Anordnung mit einer auf einem Substrat aufgebrachtten ersten elektrisch isolierenden Schicht und einem auf der ersten elektrisch isolierenden Schicht aufgebrachtten Schichtsystem aus einem Floating Gate und einer auf dem Floating Gate aufgebrachtten Tunnelbarrieren-Anordnung;

- wobei das elektrische Potential auf dem Floating Gate über eine erste Gate-Elektrode gelesen wird; und
- die elektrische Ladungstransmission der Tunnelbarrieren-Anordnung über eine zweite Gate-Elektrode gesteuert wird,
- wobei die erste und die zweite Gate-Elektrode in einer in dem Schichtsystem ausgebildeten ersten Grabenstruktur aus parallel zueinander angeordneten, sich bis zur ersten isolierenden Schicht erstreckenden ersten Gräben und einer in dem Schichtsystem ausgebildeten zweiten Grabenstruktur aus parallel zueinander und senkrecht zu den ersten Gräben angeordneten, sich bis zur ersten isolierenden Schicht erstreckenden zweiten Gräben ausgebildet sind.

17. Verfahren nach Anspruch 16, wobei zum Lesen von Daten der Halbleiterspeicherelement-Anordnung eine elektrische Spannung an die erste Gate-Elektrode bei spannungsloser zweiter Gate-Elektrode angelegt wird.

18. Verfahren nach Anspruch 16 oder 17, wobei zum Schreiben oder Löschen von Daten der Halbleiterspeicherelement-Anordnung eine elektrische

Spannung an die zweite Gate-Elektrode bei spannungsloser erster Gate-Elektrode angelegt wird.

19. Halbleiterspeicherelement-Anordnung, bei der eine Mehrzahl von Halbleiterspeicherelementen in einer Mehrzahl von Zeilen und Spalten matrixartig angeordnet sind, wobei jedes Halbleiterspeicherelement aufweist
- eine auf einem Substrat aufgebrachte erste elektrisch isolierende Schicht,
 - ein auf der ersten elektrisch isolierenden Schicht aufgebrachtes Schichtsystem aus einem Floating Gate und einer auf dem Floating Gate aufgebrachten Tunnelbarrieren-Anordnung;
 - eine zum Floating Gate benachbarte erste Gate-Elektrode zum Ermitteln der in dem Floating Gate gespeicherten Ladungsträger;
 - und eine zur Tunnelbarrieren-Anordnung benachbarte zweite Gate-Elektrode, über welche die Ladungstransmission der Tunnelbarrieren-Anordnung steuerbar ist;
 - wobei die erste und die zweite Gate-Elektrode in einer in dem Schichtsystem ausgebildeten ersten Grabenstruktur aus parallel zueinander angeordneten, sich bis zur ersten isolierenden Schicht erstreckenden ersten Gräben und einer in dem Schichtsystem ausgebildeten zweiten Grabenstruktur aus parallel zueinander und senkrecht zu den ersten Gräben angeordneten, sich bis zur ersten isolierenden Schicht erstreckenden zweiten Gräben ausgebildet sind.

ABSTRACT

The invention relates to a method for producing a semiconductor memory element arrangement. According to said method, an isolating layer and a layer system consisting of a floating gate and a tunnel barrier arrangement applied to the floating gate are applied to a substrate. A first gate electrode is embodied next to the floating gate and a second gate electrode is embodied next to the tunnel barrier arrangement. Said gate electrodes are formed, in a first trench structure, of parallel first trenches, and in a second trench structure, of parallel second trenches which are perpendicular to the first trenches.